

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094349

(43)Date of publication of application : 29. 03. 2002

---

(51)Int. Cl. H03H 7/09

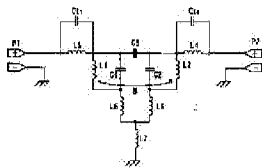
---

(21)Application number : 2000- (71)Applicant : MURATA MFG CO LTD  
276749

(22)Date of filing : 12. 09. 2000 (72)Inventor : MASUDA HIROSHI  
KATO NOBORU

---

(54) LC FILTER CIRCUIT AND LAMINATED LC FILTER



(57)Abstract:

PROBLEM TO BE SOLVED: To provide an LC filter circuit and a laminated LC filter that can ensure sufficient attenuation and a sufficient frequency band.

SOLUTION: Two LC resonance circuits which are coupled magnetically and consisting of parallel connection of an inductor L1 with a capacitor C1, and an inductor L2 with a capacitor C2 are connected between an input terminal P1 and an output terminal P2, and parallel resonance trap circuits consisting of the parallel connection consisting of an inductor L3 and a capacitor Ct1 and of an inductor L4 and a capacitor Ct2 are respectively connected between the input terminal P1 and one of the LC resonance circuits, and between the output terminal P2 and the other LC resonance circuit.

---

LEGAL STATUS

[Date of request for examination] 29.05.2002  
[Date of sending the examiner's decision of rejection] 04.01.2005  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3702767  
[Date of registration] 29.07.2005  
[Number of appeal against examiner's decision of rejection] 2005-01683  
[Date of requesting appeal against examiner's decision of rejection] 31.01.2005  
[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The LC filter circuit characterized by carrying out series connection of the parallel resonance trap circuit of an input terminal and an output terminal which consists of parallel connection of an inductor and a capacitor between either and LC resonance circuit at least while magnetic coupling of at least two LC resonance circuits which consist of parallel connection of an inductor and a capacitor is carried out and they are connected between an input terminal and an output terminal.

[Claim 2] Said parallel resonance trap circuit is an LC filter circuit according to claim 1 characterized by carrying out series connection, respectively between said input terminals and said LC resonance circuits and between said output terminals and said LC resonance circuits.

[Claim 3] The laminating mold LC filter characterized by to be prepared so that at least two LC resonators which consist of parallel connection of the inductor electrode and capacitor electrode by which an end is connected to an input/output terminal and the other end is connected to a grounding terminal may carry out magnetic coupling, and to be prepared in the interior of the layered product which accumulated and constituted the dielectric layer so that the parallel-resonance trap circuit which consists of parallel connection of an inductor electrode and a capacitor electrode between at least one side of these LC resonator and an input/output terminal may be connected to a serial.

[Claim 4] Said parallel resonance trap circuit is a laminating mold LC filter according to claim 3 characterized by carrying out series connection to all between both input/output terminals and said LC resonator.

[Claim 5] The laminating mold LC filter according to claim 4 characterized by preparing the screening electrode in the inductor inter-electrode of both the trap circuit when connecting said parallel resonance trap circuit.

[Claim 6] A laminating mold LC filter given in either of claim 3 to claims 5 characterized by preparing the screening electrode also in the inductor inter-electrode of the inductor electrode of said LC resonator, and said parallel resonance trap circuit.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to an LC filter circuit and a laminating mold LC filter.

[0002]

[Description of the Prior Art] As this kind of an LC filter circuit, there is a band pass filter of the equal circuit shown in drawing 4 , for example. That is, the LC resonance circuit Q1 where an inductance L1 and capacitance C1 were connected to juxtaposition is connected between an input terminal P1 and a grounding terminal, and the LC resonance circuit Q2 where an inductance L2 and capacitance C2 were connected to juxtaposition is similarly connected between an output terminal P2 and a grounding terminal. And mutual-inductance M is formed between an inductance L1 and an inductance L2, and the LC resonance circuits Q1 and Q2 are magnetically combined with it.

[0003] Moreover, between the input terminal P1 and the grounding terminal, the series resonance trap circuit where an inductance L3 and capacitance C3 were connected to the serial is connected, and the series resonance trap circuit where an inductance L4 and capacitance C4 were connected to the serial is connected between the output terminal P2 and the grounding terminal. Furthermore, the joint capacitance C5 is connected between input/output terminals.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, although, as for the conventional LC filter circuit, the series resonance trap circuit was connected to juxtaposition in LC resonance circuit at each of an input terminal and an output terminal, such a series resonance trap circuit had the small magnitude of attenuation, and had the problem that a frequency band was also narrow.

[0005] So, the main purpose of this invention is to offer the LC filter circuit which can secure the sufficient magnitude of attenuation and a sufficient frequency band, and a laminating mold LC filter.

[0006]

[Means for Solving the Problem] While magnetic coupling of at least two LC resonance circuits which are first turned to an LC filter circuit and consist of parallel connection of an inductor and a capacitor between an input terminal and an output terminal is carried out and this invention is connected, it is characterized by carrying out series connection of the parallel resonance trap circuit of an input terminal and an output terminal which consists of parallel connection of an inductor and a capacitor between either and LC resonance circuit at least.

[0007] By connecting the parallel resonance trap circuit where parallel connection of an inductance and the capacitance was carried out, the desired magnitude of attenuation and a desired frequency band required for a frequency are securable.

[0008] Moreover, in the LC filter circuit of this invention, a parallel resonance trap circuit is characterized by carrying out series connection, respectively between an input terminal and LC resonance circuit and between an output terminal and LC resonance circuit. By forming a parallel resonance trap circuit in both, the much more big magnitude of attenuation is securable.

[0009] Next, this invention is turned to the laminating mold LC filter which built in the LC filter circuit mentioned above. Inside the layered product which accumulated and constituted the dielectric layer, an end is connected to an input/output terminal and the other end is connected to a grounding terminal. It is prepared so that at least two LC resonators which consist of parallel connection of an inductor electrode and a capacitor electrode may carry out magnetic coupling. Between at least one side of these LC resonator, and an input/output terminal It is characterized by being prepared so that the parallel resonance trap circuit which consists of parallel connection of an inductor electrode and a capacitor electrode may be connected to a serial.

[0010] By constituting the LC filter circuit mentioned above from one chip, a miniaturization is realizable.

[0011] Moreover, in the laminating mold LC filter of this invention, a parallel resonance trap circuit is characterized by carrying out series connection to all between both input/output terminal electrodes and LC resonator. The much more big magnitude of attenuation is securable with such a configuration.

[0012] Moreover, in the laminating mold LC filter of this invention, when connecting a parallel resonance trap circuit, it is characterized by preparing the screening electrode in the inductor inter-electrode of both the trap circuit.

[0013] It can prevent reducing the effect of the mutual field of an inductor electrode, and having a bad influence on a transmission characteristic by the above configurations, since the field produced from each inductor electrode is covered with a screening electrode.

[0014] Furthermore, in the laminating mold LC filter of this invention, it is characterized by preparing the screening electrode also in the inductor inter-electrode of the inductor electrode of LC resonator, and a parallel resonance trap circuit.

[0015] By the above configurations, since the field produced from each inductor electrode is covered with a screening electrode, the effect of the mutual field of each inductor electrode is reduced, and it functions as a trap circuit certainly.

[0016]

[Embodiment of the Invention] Next, 1 operation gestalt of the LC filter circuit of this invention and a laminating mold LC filter is explained.

[0017] The LC filter circuit which drawing 1 requires for this invention, and drawing 2 are drawings showing the frequency characteristics.

Drawing 3 is drawing showing the operation gestalt of the laminating mold LC filter which constitutes the LC filter circuit of drawing 1 , (a) is the decomposition perspective view of a laminating mold LC filter, and (b) is the appearance perspective view.

[0018] As shown in drawing 1 , the LC resonance circuit Q1 where an inductance L1 and capacitance C1 were connected to juxtaposition is connected between an input/output terminal P1 and a grounding terminal, and, as for the LC filter circuit of this invention, the LC resonance circuit Q2 where an inductance L2 and capacitance C2 were connected to juxtaposition is similarly connected between the input/output terminal P2 and the grounding terminal. And mutual-inductance M is formed between an inductance L1 and an inductance L2, and the LC resonance circuits Q1 and Q2 are magnetically combined with it.

[0019] Moreover, between the input/output terminal P1 and the LC resonance circuit Q1, the parallel resonance trap circuit where an inductance L3 and capacitance Ct1 were connected to juxtaposition is connected. Similarly, between the input/output terminal P2 and the LC resonance circuit Q2, the parallel resonance trap circuit where an inductance L4 and capacitance Ct2 were connected to juxtaposition is connected.

[0020] Moreover, the joint capacitance C5 is connected between the input/output terminal P1 and the input/output terminal P2. Furthermore, between the LC resonance circuits Q1 and Q2 and a grounding terminal, an inductance L5, L6, and L7 are connected.

[0021] While the LC filter circuit which consists of the above configuration constitutes the band pass filter circuit where the LC resonance circuits Q1 and Q2 were combined magnetically, the big attenuation pole (pole) of the magnitude of attenuation is formed near the center frequency of the parallel resonance trap circuit.

[0022] The frequency characteristics of such an LC filter circuit are shown in drawing 2 . In drawing 2 , Curve a is a transmission characteristic, by having connected the parallel resonance trap circuit between the input/output terminal and LC resonance circuit, the pole shown in b of drawing 2 can be formed, and it is possible to secure the sufficient magnitude of attenuation and a sufficient frequency band. In addition, an inductance L5, L6, and L7 show the operation which adjusts the location of the pole. The curve c of drawing 2 is a transmission

characteristic when having not prepared the parallel resonance trap circuit.

[0023] Next, the operation gestalt of the laminating mold LC filter which constituted such an LC filter circuit is explained.

[0024] As shown in drawing 3 (a), a laminating mold LC filter contains the layered product 100 which carried out the laminating unification of the dielectric sheets 1-25. The dielectric sheet 1 serves as the maximum upper layer, and the identification marking 11 which shows the mounting direction is formed in the front face.

[0025] The dielectric sheet 2 is a dummy sheet prepared for thickness adjustment, and the electrode is not formed in the front face.

[0026] An inductor L5, L6, and the inductor electrode 31 that constitutes L7 are formed in the front face at the dielectric sheet 3. The inductor electrode 31 consists of three parts, the end sections 31a, 31b, and 31c like each part are exposed to the near side of the dielectric sheet 3, and the other end of each other is connected by the back side. An inductor L5 and L6 are formed in the shape of L character, and the inductor L7 is formed in the shape of MIANDA.

[0027] The dielectric sheet 4 is a dummy sheet with which the electrode is not formed in the front face, and it is formed more thickly than the dielectric sheet 2, and he is trying not to influence magnetically with the inductors L1 and L2 which inductors L5-L7 mention later.

[0028] It is juxtaposed by the dielectric sheets 5 and 6, respectively, and the spiral-like inductor electrodes 51, 52, 61, and 62 are formed in them. It connects electrically through a beer hall 53, and end section 51a of the inductor electrode 51 and end section 61a of the inductor electrode 61 constitute the inductor L1. Similarly, it connects electrically through a beer hall 54, and end section 52a of the inductor electrode 52 and end section 62a of the inductor electrode 62 constitute the inductor L2. Moreover, other end 61b of the inductor electrode 61 and other end 62b of the inductor electrode 62 were exposed to the near side of the dielectric sheet 6, and other end 51b of the inductor electrode 51 and other end 52b of the inductor electrode 52 are exposed to the back side of the dielectric sheet 5.

[0029] The dielectric sheet 7 is a dummy sheet with which the electrode is not formed in the front face, and it is formed by thickness about the same as the dielectric sheet 4 so that the screening electrodes 81 and 82 mentioned later may not influence magnetically with inductors L1 and L2.

[0030] Two screening electrodes 81 and 82 are formed so that the field of inductors L1 and L2 and the inductors L3 and L4 mentioned later may

not interfere in the dielectric sheet 8. These screening electrodes 81 and 82 are rectangle-like float electrodes, and have the magnitude like a wrap (the cash-drawer section removes) for the appearance of the inductor electrodes 61 and 62.

[0031] The dielectric sheet 9 is a dummy sheet with which the electrode is not formed in the front face, and it is formed by thickness about the same as the dielectric sheet 7 so that it may not influence magnetically with the inductor electrode 101,102 which screening electrodes 81 and 82 mention later.

[0032] The spiral-like inductor electrode 101,102,111,112 juxtaposed by the dielectric sheets 10 and 11, respectively is formed in the front face. It connects electrically through a beer hall 104, and end section 101a of the inductor electrode 101 and end section 111a of the inductor electrode 111 constitute the inductor L3. Similarly, it connects electrically through a beer hall 105, and end section 102a of the inductor electrode 102 and end section 112a of the inductor electrode 112 constitute the inductor L4. Moreover, other end 111b of the inductor electrode 111 and other end 112b of the inductor electrode 112 were exposed to the right-and-left side of the dielectric sheet 11, and other end 101b of the inductor electrode 101 and other end 102b of the inductor electrode 102 are exposed to the back side of the dielectric sheet 10.

[0033] Furthermore, between 111 and 112 [ the inductor electrodes 101 and 102 on the same dielectric layer, and ], the near side of the dielectric sheets 10 and 11 and a back side are covered, and the straight-line-like screening electrode 103,113 is formed, respectively, and it shields so that inductors L3 and L4 may not interfere magnetically mutually.

[0034] The dielectric sheet 12 is formed by thickness about the same as the dielectric sheet 9 so that the capacitor electrode 131,132 which is the dummy sheet with which the electrode is not formed in the front face, and is mentioned later may not influence inductors L3 and L4 magnetically.

[0035] The capacitor electrode 131,132 by the side of I/O is formed in the front face at the dielectric sheet 13, the cash-drawer section 131a was exposed to left-hand side, and cash-drawer section 132a is exposed to right-hand side, respectively.

[0036] The dielectric sheet 14 is a sheet with which it is formed by predetermined thickness in order to adjust the capacitance between the capacitor electrodes 151,152 mentioned later, and the electrode is not formed in the front face.



[0037] The capacitor electrode 151,152 by the side of a resonator is formed in the front face at the dielectric sheet 15, and each has exposed the cash-drawer sections 151a and 152a to a back side.

[0038] The capacitor electrode 161,162 by the side of I/O is formed in the front face at the dielectric sheet 16, and the cash-drawer sections 161a and 162a are exposed to a right-and-left side.

[0039] The capacitor electrode 171,172 by the side of a resonator is formed in the front face at the dielectric sheet 17, and the cash-drawer sections 171a and 172a are exposed to a back side.

[0040] The capacitor electrode 181,182 by the side of I/O is formed in the front face at the dielectric sheet 18, and the cash-drawer sections 181a and 182a are exposed to a right-and-left side.

[0041] The capacitor electrode 191,192 by the side of a resonator is formed in the front face at the dielectric sheet 19, and the cash-drawer sections 191a and 192a are exposed to a back side.

[0042] Therefore, the capacitor electrode 131,161,181 by the side of I/O and the capacitor electrode 151,171,191 by the side of a resonator are countering mutually through a dielectric sheet, and capacitance Ct1 forms the capacitance for traps. Similarly, capacitance Ct2 forms the capacitance for traps because the capacitor electrode 132,162,182 by the side of I/O and the capacitor electrode 152,172,192 by the side of a resonator counter mutually through a dielectric sheet.

[0043] The capacitor electrode 201 for association of the shape of a rectangle which has a long side on the dielectric sheet 20 at the longitudinal direction is formed in the front face. The capacitor electrode 201 counters through the capacitor electrode 191,192 and the capacitor electrodes 211 and 212 mentioned later, and the dielectric sheets 19 and 20, and forms the coupling capacitor C5.

[0044] The capacitor electrode 211,212 by the side of the parallel resonance trap circuit of capacitors C1 and C2 is formed in the dielectric sheet 21, and the cash-drawer sections 211a and 212a are exposed to a back side.

[0045] The dielectric sheets 22 and 23 are formed by predetermined thickness, in order to adjust the capacitance between the capacitor electrodes 241,242 by the side of GND mentioned later, and the electrode is not formed in the front face.

[0046] The capacitor electrode 241,242 by the side of GND of capacitors C1 and C2 is formed in the dielectric sheet 24, and the cash-drawer sections 241a and 242a are exposed to a near side.

[0047] The dielectric sheet 25 serves as the lowest layer, and is formed by thickness about the same as the dielectric sheet 2.

[0048] Each electrode consists of Ag, Pd, Cu, nickel, Au, Ag-Pd, etc., and is formed by means, such as printing, sputtering, or vacuum evaporation. Moreover, what formed that with which the dielectric sheets 1-25 kneaded dielectric powder together with the binder etc. in the shape of a sheet is used.

[0049] After each dielectric sheet which consists of the above configuration is accumulated on this order, it is calcinated in one and let it be a layered product 100. Next, as shown in drawing 1 (b), the grand electrodes G1 and G2 and the junction electrodes N1, N2, N3, and N4 are formed in the near side of the obtained layered product, and the side face by the side of the back, respectively, an input terminal P1 and an output terminal P2 are formed in the left lateral and right lateral of a layered product, respectively, and it considers as an external electrode. Each external electrode is formed by means, such as spreading printing, sputtering, or vacuum evaporation.

[0050] And the end sections 103a and 113a of other end 31c of the inductor electrode 31 and a screening electrode 103,113 are connected to the grand electrode G1. The other end 103b and 113b of a screening electrode 103,113 is connected to the grand electrode G2. Moreover, end section 31a of the inductor electrode 31, end section 61a of the inductor electrode 61, and cash-drawer section 241a of the capacitor electrode 241 are connected to the junction electrode N1. End section 31b of the inductor electrode 31, end section 62a of the inductor electrode 62, and cash-drawer section 242a of the capacitor electrode 242 are connected to the junction electrode N2. Cash-drawer section 211a of end section 51a of the inductor electrode 51, end section 101a of the inductor electrode 101, the cash-drawer sections 151a, 171a, and 191a of the capacitor electrode 151,171,191, and the capacitor electrode 211 is connected to the junction electrode N3. Furthermore, cash-drawer section 212a of end section 52a of the inductor electrode 52, end section 102a of the inductor electrode 102, the cash-drawer sections 152a, 172a, and 192a of the capacitor electrode 152,172,192, and the capacitor electrode 212 is connected to the junction electrode N4.

[0051] in addition, the LC filter circuit and laminating mold LC filter concerning this invention are not limited to said operation gestalt, within the limits of the summary, can be boiled variously and can be changed.

[0052] In said operation gestalt, although the capacitor electrode by the side of I/O and two or more capacitor electrodes by the side of a resonator are made to counter and the capacitance for trap circuits constitutes them, as long as it becomes desired capacitance, how many

sheets are sufficient as it.

[0053] Moreover, it is not necessary to necessarily form a junction electrode in the side face of a layered product, and it may be formed in the interior of a layered product using the electrical connecting means of a beer hall etc.

[0054] Moreover, although said operation gestalt is sintered in one after it accumulates a sheet, it is not necessarily limited to this. For example, a laminating mold LC filter may be manufactured by the process explained below. After applying paste-like dielectric materials, drying with means, such as printing, and forming a dielectric film, a paste-like conductor ingredient is applied to the front face of the dielectric film, it dries on it, and an electrode layer is formed in it. In this way, the LC filter which has a laminated structure is obtained by giving two coats in order. Furthermore, the dielectric sheet 2 may also use a resin film and other insulators, and the dielectric sintered further beforehand may be used.

[0055]

[Effect of the Invention] As mentioned above, the magnitude of attenuation required for a desired frequency can be secured, without degrading an insertion loss, since according to the LC filter circuit of this invention series connection of the parallel resonance trap circuit was carried out between either and LC resonator even if there were few input/output terminals.

[0056] Moreover, according to the laminating mold LC filter of this invention, it can miniaturize by constituting an LC filter circuit from one chip.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the representative circuit schematic of the LC filter circuit concerning this invention.

[Drawing 2] It is drawing showing the frequency characteristics of the LC filter circuit of drawing 1 .

[Drawing 3] It is drawing showing the operation gestalt of the laminating mold LC filter which constitutes the LC filter circuit of drawing 1 , and (a) is the decomposition perspective view of a laminating mold LC filter, and (b) is the appearance perspective view of a laminating mold LC filter.

[Drawing 4] It is the representative circuit schematic of the conventional LC filter circuit.

[Description of Notations]

1-25 Dielectric sheet

11 Identification Marking

31, 51, 52, 61, 62, 101, 102, 111, 112 Inductor electrode

81 82 Screening electrode

131, 132, 161, 162, 181, 182, 151, 152, 171, 172, 191, 192, 211,

212, 241, 242, 201 Capacitor electrode

G1, G2 Grand electrode

N1, N2, N3, N4 Junction electrode

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

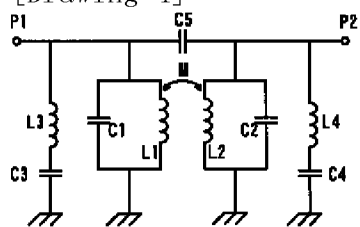
3. In the drawings, any words are not translated.

---

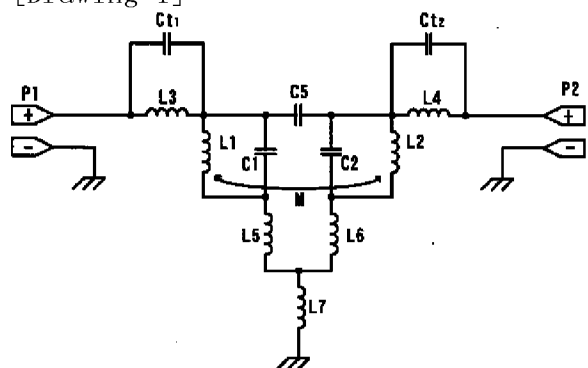
DRAWINGS

---

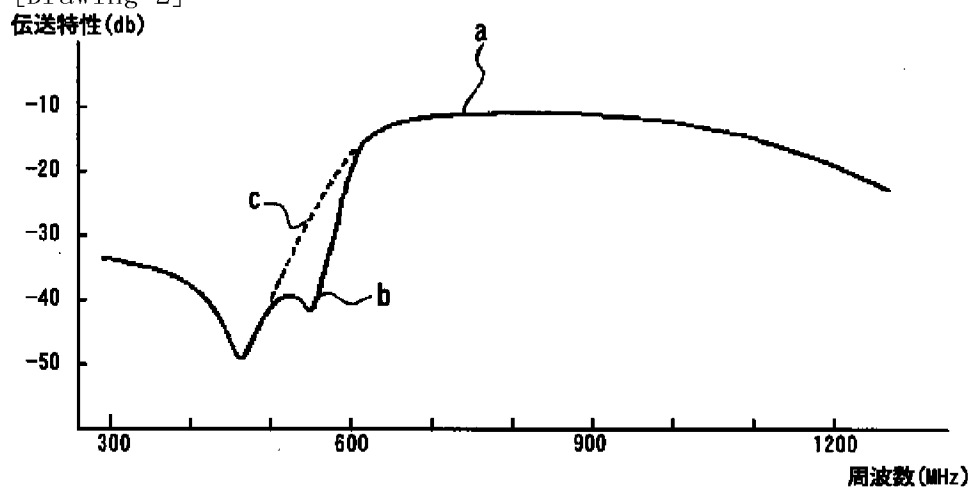
[Drawing 4]



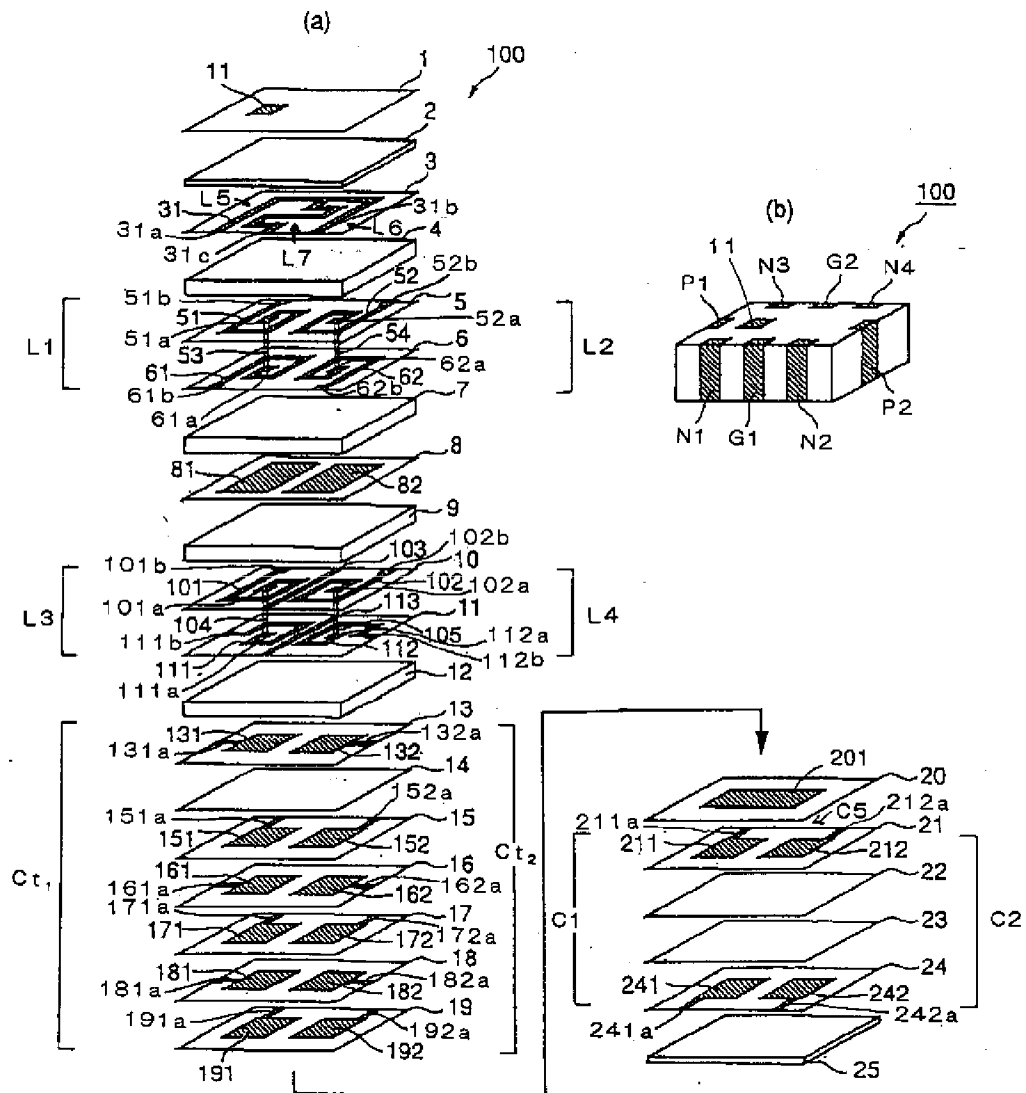
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-94349  
(P2002-94349A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl.<sup>7</sup>  
H 0 3 H 7/09

識別記号

F I  
H 0 3 H 7/09

テーマコード(参考)  
Z 5 J 0 2 4

審査請求 未請求 請求項の数6 ○ L (全 7 頁)

(21)出願番号 特願2000-276749(P2000-276749)

(22)出願日 平成12年9月12日(2000.9.12)

(71)出願人 000006231

株式会社村田製作所  
京都府長岡京市天神二丁目26番10号

(72)発明者 増田 博志

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 加藤 登

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

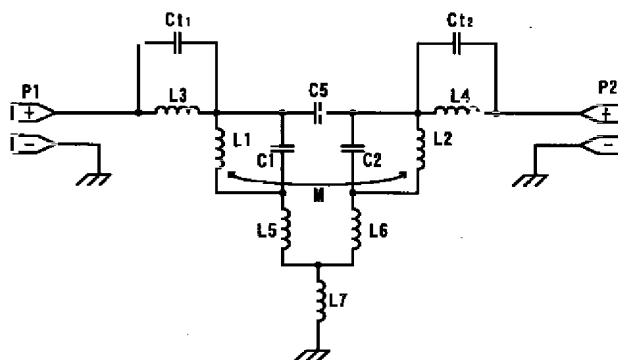
Fターム(参考) 5J024 AA01 CA03 CA06 DA04 DA29  
DA32 DA35 EA03 EA06 KA03

(54)【発明の名称】 LCフィルタ回路および積層型LCフィルタ

(57)【要約】

【課題】 十分な減衰量および周波数帯域を確保することが可能なLCフィルタ回路および積層型LCフィルタを提供する。

【解決手段】 入力端子 $P_1$ と出力端子 $P_2$ との間に、インダクタ $L_1$ ( $L_2$ )とコンデンサ $C_1$ ( $C_2$ )との並列接続からなる2つのLC共振回路が磁気結合されて接続されるとともに、入力端子 $P_1$ と出力端子 $P_2$ との少なくともいずれか一方とLC共振回路との間に、インダクタ $L_3$ ( $L_4$ )とコンデンサ $C_{t1}$ ( $C_{t2}$ )との並列接続からなる並列共振トラップ回路が直列接続されている。



## 【特許請求の範囲】

【請求項1】 入力端子と出力端子との間に、インダクタとコンデンサとの並列接続からなる少なくとも2つのLC共振回路が磁気結合されて接続されるとともに、入力端子と出力端子との少なくともいずれか一方とLC共振回路との間に、インダクタとコンデンサとの並列接続からなる並列共振トラップ回路が直列接続されていることを特徴とするLCフィルタ回路。

【請求項2】 前記並列共振トラップ回路は、前記入力端子と前記LC共振回路との間、および前記出力端子と前記LC共振回路との間にそれぞれ直列接続されていることを特徴とする請求項1に記載のLCフィルタ回路。

【請求項3】 誘電体層を積み重ねて構成した積層体の内部に、一端が入出力端子に他端がアース端子に接続される、インダクタ電極とコンデンサ電極との並列接続からなる少なくとも2つのLC共振器が磁気結合するように設けられ、これらLC共振器の少なくとも一方と入出力端子との間に、インダクタ電極とコンデンサ電極との並列接続からなる並列共振トラップ回路が直列に接続されるように設けられていることを特徴とする積層型LCフィルタ。

【請求項4】 前記並列共振トラップ回路は、両方の入出力端子と前記LC共振器との間のいずれにも直列接続されていることを特徴とする請求項3に記載の積層型LCフィルタ。

【請求項5】 前記並列共振トラップ回路を接続する場合、その両トラップ回路のインダクタ電極間にシールド電極が設けられていることを特徴とする請求項4に記載の積層型LCフィルタ。

【請求項6】 前記LC共振器のインダクタ電極と前記並列共振トラップ回路のインダクタ電極間にもシールド電極が設けられていることを特徴とする請求項3から請求項5のいずれかに記載の積層型LCフィルタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、LCフィルタ回路および積層型LCフィルタに関するものである。

## 【0002】

【従来の技術】この種のLCフィルタ回路としては、例えば、図4に示す等価回路のバンドパスフィルタがある。すなわち、インダクタンス $L_1$ とキャパシタンス $C_1$ が並列に接続されたLC共振回路 $Q_1$ が入力端子 $P_1$ とアース端子との間に接続され、同様に、インダクタンス $L_2$ とキャパシタンス $C_2$ が並列に接続されたLC共振回路 $Q_2$ が出力端子 $P_2$ とアース端子との間に接続される。そして、インダクタンス $L_1$ とインダクタンス $L_2$ との間には、相互インダクタンス $M$ が形成され、LC共振回路 $Q_1$ および $Q_2$ が磁氣的に結合されている。

【0003】また、入力端子 $P_1$ とアース端子との間には、インダクタンス $L_3$ とキャパシタンス $C_3$ が直列に接

続された直列共振トラップ回路が接続されており、出力端子 $P_2$ とアース端子との間には、インダクタンス $L_4$ とキャパシタンス $C_4$ が直列に接続された直列共振トラップ回路が接続されている。さらに、入出力端子間には、結合キャパシタンス $C_5$ が接続されている。

## 【0004】

【発明が解決しようとする課題】上述のように、従来のLCフィルタ回路は、入力端子と出力端子のそれぞれに直列共振トラップ回路がLC共振回路に並列に接続されているが、このような直列共振トラップ回路は減衰量が小さく、周波数帯域も狭いという問題があった。

【0005】それゆえに、本発明の主たる目的は、十分な減衰量および周波数帯域を確保することが可能なLCフィルタ回路および積層型LCフィルタを提供することにある。

## 【0006】

【課題を解決するための手段】本発明はまず、LCフィルタ回路に向けられ、入力端子と出力端子との間に、インダクタとコンデンサとの並列接続からなる少なくとも2つのLC共振回路が磁気結合されて接続されるとともに、入力端子と出力端子との少なくともいずれか一方とLC共振回路との間に、インダクタとコンデンサとの並列接続からなる並列共振トラップ回路が直列接続されていることを特徴とする。

【0007】インダクタンスとキャパシタンスが並列接続された並列共振トラップ回路を接続することにより、所望の周波数に必要な減衰量および周波数帯域を確保することができる。

【0008】また、本発明のLCフィルタ回路においては、並列共振トラップ回路は、入力端子とLC共振回路との間、および出力端子とLC共振回路との間にそれぞれ直列接続されていることを特徴とする。並列共振トラップ回路が両方に形成されることにより、より一層大きな減衰量を確保することができる。

【0009】次に、本発明は上述したLCフィルタ回路を内蔵した積層型LCフィルタに向けられ、誘電体層を積み重ねて構成した積層体の内部に、一端が入出力端子に他端がアース端子に接続される、インダクタ電極とコンデンサ電極との並列接続からなる少なくとも2つのLC共振器が磁気結合するように設けられ、これらLC共振器の少なくとも一方と入出力端子との間に、インダクタ電極とコンデンサ電極との並列接続からなる並列共振トラップ回路が直列に接続されるように設けられていることを特徴とする。

【0010】上述したLCフィルタ回路を1つのチップ部品で構成することにより、小型化が実現できる。

【0011】また、本発明の積層型LCフィルタにおいては、並列共振トラップ回路は、両方の入出力端子電極とLC共振器との間のいずれにも直列接続されていることを特徴とする。このような構成により、より一層大き



な減衰量を確保することができる。

【0012】また、本発明の積層型LCフィルタにおいては、並列共振トラップ回路を接続する場合、その両トラップ回路のインダクタ電極間にシールド電極が設けられていることを特徴とする。

【0013】上記のような構成により、それぞれのインダクタ電極から生じる磁界をシールド電極により遮蔽するので、インダクタ電極の互いの磁界の影響を低減し、伝送特性に悪影響を及ぼすことを防止できる。

【0014】さらに、本発明の積層型LCフィルタにおいては、LC共振器のインダクタ電極と並列共振トラップ回路のインダクタ電極間にもシールド電極が設けられていることを特徴とする。

【0015】上記のような構成により、それぞれのインダクタ電極から生じる磁界をシールド電極により遮蔽するので、各インダクタ電極の互いの磁界の影響を低減し、確実にトラップ回路として機能する。

【0016】

【発明の実施の形態】次に、本発明のLCフィルタ回路および積層型LCフィルタの一実施形態について説明する。

【0017】図1は本発明に係るLCフィルタ回路、図2はその周波数特性を示す図である。図3は図1のLCフィルタ回路を構成する積層型LCフィルタの実施形態を示す図であり、(a)は積層型LCフィルタの分解斜視図、(b)はその外観斜視図である。

【0018】図1に示すように本発明のLCフィルタ回路は、インダクタンス $L_1$ とキャパシタンス $C_1$ が並列に接続されたLC共振回路 $Q_1$ が入出力端子 $P_1$ とアース端子との間に接続され、同様に、インダクタンス $L_2$ とキャパシタンス $C_2$ が並列に接続されたLC共振回路 $Q_2$ が入出力端子 $P_2$ とアース端子との間に接続されている。そして、インダクタンス $L_1$ とインダクタンス $L_2$ との間には、相互インダクタンス $M$ が形成され、LC共振回路 $Q_1$ および $Q_2$ が磁氣的に結合されている。

【0019】また、入出力端子 $P_1$ とLC共振回路 $Q_1$ の間には、インダクタンス $L_3$ とキャパシタンス $C_3$ が並列に接続された並列共振トラップ回路が接続されている。同様に、入出力端子 $P_2$ とLC共振回路 $Q_2$ の間には、インダクタンス $L_4$ とキャパシタンス $C_4$ が並列に接続された並列共振トラップ回路が接続されている。

【0020】また、入出力端子 $P_1$ と入出力端子 $P_2$ の間には、結合キャパシタンス $C_5$ が接続されている。さらに、LC共振回路 $Q_1$ 、 $Q_2$ とアース端子の間には、インダクタンス $L_5$ 、 $L_6$ 、 $L_7$ が接続されている。

【0021】以上の構成からなるLCフィルタ回路は、LC共振回路 $Q_1$ および $Q_2$ が磁氣的に結合されたバンドパスフィルタ回路を構成するとともに、並列共振トラップ回路により、中心周波数の近傍に減衰量の大きな減衰極（ポール）が形成されている。

【0022】図2には、このようなLCフィルタ回路の周波数特性を示している。図2において、曲線aが伝送特性であり、入出力端子とLC共振回路との間に並列共振トラップ回路を接続したことによって、図2のbに示すポールを形成することができ、十分な減衰量および周波数帯域を確保することが可能となっている。なお、インダクタンス $L_5$ 、 $L_6$ 、 $L_7$ は、ポールの位置を調整する作用を示す。図2の曲線cは並列共振トラップ回路を設けていない場合の伝送特性である。

【0023】次に、このようなLCフィルタ回路を構成した積層型LCフィルタの実施形態について説明する。

【0024】図3(a)に示すように、積層型LCフィルタは誘電体シート1～25を積層一体化した積層体100を含む。誘電体シート1は、最上層となるものであり、実装方向を示す識別マーク11が表面に形成されている。

【0025】誘電体シート2は、厚み調整のために設けられたダミーシートであり、表面には電極が形成されていない。

【0026】誘電体シート3には、インダクタ $L_5$ 、 $L_6$ 、 $L_7$ を構成するインダクタ電極31が表面に形成されている。インダクタ電極31は、3つの部位からなっており、各部位の一端部31a、31b、31cは、誘電体シート3の手前側に露出し、他端部は奥側で互いに連結されている。インダクタ $L_5$ および $L_6$ はL字状に形成されており、インダクタ $L_7$ はミランダ状に形成されている。

【0027】誘電体シート4は、表面に電極が形成されていないダミーシートであり、誘電体シート2よりも厚く形成され、インダクタ $L_5$ ～ $L_7$ が後述するインダクタ $L_1$ 、 $L_2$ と磁氣的に影響しないようにしている。

【0028】誘電体シート5、6には、それぞれ並置されてスパイラル状のインダクタ電極51、52、61、62が形成されている。インダクタ電極51の一端部51aとインダクタ電極61の一端部61aとは、ビアホール53を介して電氣的に接続され、インダクタ $L_1$ を構成している。同様にして、インダクタ電極52の一端部52aとインダクタ電極62の一端部62aとは、ビアホール54を介して電氣的に接続され、インダクタ $L_2$ を構成している。また、インダクタ電極61の他端部61bおよびインダクタ電極62の他端部62bは、誘電体シート6の手前側に露出し、インダクタ電極51の他端部51bおよびインダクタ電極52の他端部52bは、誘電体シート5の奥側に露出している。

【0029】誘電体シート7は、表面に電極が形成されていないダミーシートであり、後述するシールド電極81、82がインダクタ $L_1$ 、 $L_2$ と磁氣的に影響しないように、誘電体シート4と同じくらいの厚さで形成されている。

【0030】誘電体シート8には、インダクタ $L_1$ 、 $L_2$

と後述するインダクタ $L_3$ 、 $L_4$ との磁界が干渉しないように、2個のシールド電極81、82が形成されている。このシールド電極81、82は、矩形状の浮き電極であって、インダクタ電極61、62の外形を覆うくらいの大きさ（引出し部は除く）を有している。

【0031】誘電体シート9は、表面に電極が形成されていないダミーシートであり、シールド電極81、82が後述するインダクタ電極101、102と磁氣的に影響しないように、誘電体シート7と同じくらいの厚さで形成されている。

【0032】誘電体シート10、11には、それぞれ並置されたスパイラル状のインダクタ電極101、102、111、112が表面に形成されている。インダクタ電極101の一端部101aとインダクタ電極111の一端部111aとは、ビアホール104を介して電氣的に接続され、インダクタ $L_3$ を構成している。同様に、インダクタ電極102の一端部102aとインダクタ電極112の一端部112aとは、ビアホール105を介して電氣的に接続され、インダクタ $L_4$ を構成している。また、インダクタ電極111の他端部111bおよびインダクタ電極112の他端部112bは、誘電体シート11の左右側に露出し、インダクタ電極101の他端部101bおよびインダクタ電極102の他端部102bは、誘電体シート10の奥側に露出している。

【0033】さらに、同一誘電体層上のインダクタ電極101と102、および111と112の間には、誘電体シート10、11の手前側と奥側に亘って直線状のシールド電極103、113がそれぞれ形成されており、インダクタ $L_3$ と $L_4$ が互いに磁氣的に干渉しないようにシールドされている。

【0034】誘電体シート12は、表面に電極が形成されていないダミーシートであり、後述するコンデンサ電極131、132がインダクタ $L_3$ 、 $L_4$ に磁氣的に影響しないように、誘電体シート9と同じくらいの厚さで形成されている。

【0035】誘電体シート13には、入出力側のコンデンサ電極131、132が表面に形成されており、その引出し部131aは左側に露出し、引出し部132aは右側にそれぞれ露出している。

【0036】誘電体シート14は、後述するコンデンサ電極151、152との間のキャパシタンスを調整するために所定の厚みで形成されており、表面に電極が形成されていないシートである。

【0037】誘電体シート15には、共振器側のコンデンサ電極151、152が表面に形成されており、その引出し部151a、152aはいずれも奥側に露出している。

【0038】誘電体シート16には、入出力側のコンデンサ電極161、162が表面に形成されており、その引出し部161a、162aは左右側に露出している。

【0039】誘電体シート17には、共振器側のコンデンサ電極171、172が表面に形成されており、その引出し部171a、172aは奥側に露出している。

【0040】誘電体シート18には、入出力側のコンデンサ電極181、182が表面に形成されており、その引出し部181a、182aは左右側に露出している。

【0041】誘電体シート19には、共振器側のコンデンサ電極191、192が表面に形成されており、その引出し部191a、192aは奥側に露出している。

【0042】よって、キャパシタンス $C_{t1}$ は、入出力側のコンデンサ電極131、161、181と、共振器側のコンデンサ電極151、171、191とが、誘電体シートを介して互いに対向することで、トラップ用のキャパシタンスを形成する。同様に、キャパシタンス $C_{t2}$ は、入出力側のコンデンサ電極132、162、182と、共振器側のコンデンサ電極152、172、192とが、誘電体シートを介して互いに対向することでトラップ用のキャパシタンスを形成する。

【0043】誘電体シート20には、その左右方向に長辺を有する矩形状の結合用のコンデンサ電極201が表面に形成されている。コンデンサ電極201は、コンデンサ電極191、192および後述するコンデンサ電極211および212と誘電体シート19、20を介して対向し、結合コンデンサ $C_5$ を形成している。

【0044】誘電体シート21には、コンデンサ $C_1$ 、 $C_2$ の並列共振トラップ回路側のコンデンサ電極211、212が形成されており、その引出し部211a、212aは奥側に露出している。

【0045】誘電体シート22、23は、後述するGND側のコンデンサ電極241、242との間のキャパシタンスを調整するために所定の厚みで形成されており、表面には電極が形成されていない。

【0046】誘電体シート24には、コンデンサ $C_1$ 、 $C_2$ のGND側のコンデンサ電極241、242が形成されており、その引出し部241a、242aは手前側に露出している。

【0047】誘電体シート25は、最下層となるものであり、誘電体シート2と同じくらいの厚さで形成されている。

【0048】各電極は、Ag、Pd、Cu、Ni、Au、Ag-Pd等からなり、印刷、スパッタリングあるいは蒸着等の手段により形成される。また、誘電体シート1～25は、誘電体粉末を結合剤等と一緒に混練したものをシート状に形成したものが用いられる。

【0049】以上の構成からなる各誘電体シートはこの順に積み重ねられた後、一体的に焼成されて積層体100とされる。次に、図1(b)に示すように、得られた積層体の手前側および奥側の側面にそれぞれグランド電極 $G_1$ 、 $G_2$ および中継電極 $N_1$ 、 $N_2$ 、 $N_3$ 、 $N_4$ が形成され、積層体の左側面および右側面にそれぞれ入力端子P

1, 出力端子P<sub>2</sub>が形成され、外部電極とされる。各外部電極は、塗布焼付け、スパッタリングあるいは蒸着等の手段により形成される。

【0050】そして、グラウンド電極G<sub>1</sub>には、インダクタ電極31の他端部31cとシールド電極103, 113の一端部103a, 113aが接続される。グラウンド電極G<sub>2</sub>には、シールド電極103, 113の他端部103b, 113bが接続される。また、中継電極N<sub>1</sub>には、インダクタ電極31の一端部31aとインダクタ電極61の一端部61aとコンデンサ電極241の引出し部241aが接続される。中継電極N<sub>2</sub>には、インダクタ電極31の一端部31bとインダクタ電極62の一端部62aとコンデンサ電極242の引出し部242aが接続される。中継電極N<sub>3</sub>には、インダクタ電極51の一端部51aとインダクタ電極101の一端部101aとコンデンサ電極151, 171, 191の引出し部151a, 171a, 191aとコンデンサ電極211の引出し部211aが接続される。さらに、中継電極N<sub>4</sub>には、インダクタ電極52の一端部52aとインダクタ電極102の一端部102aとコンデンサ電極152, 172, 192の引出し部152a, 172a, 192aとコンデンサ電極212の引出し部212aが接続される。

【0051】なお、本発明に係るLCフィルタ回路および積層型LCフィルタは、前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0052】前記実施形態においては、トラップ回路用のキャパシタンスは、入出力側のコンデンサ電極と共振器側のコンデンサ電極を複数枚対向させて構成しているが、所望のキャパシタンスになるものであれば何枚でもよい。

【0053】また、中継電極は必ずしも積層体の側面に形成する必要はなく、ビアホール等の電気的接続手段を利用して積層体の内部に形成してもよい。

【0054】また、前記実施形態は、シートを積み重ねた後、一体的に焼結するものであるが、必ずしもこれに限定されない。例えば、以下に説明する製法によって積層型LCフィルタを製作してもよい。印刷等の手段によ

りペースト状の誘電体材料を塗布、乾燥して誘電体膜を形成した後、その誘電体膜の表面にペースト状の導電体材料を塗布、乾燥して電極膜を形成する。こうして順に重ね塗りすることによって積層構造を有するLCフィルタが得られる。さらに、誘電体シートも樹脂フィルムや他の絶縁体を用いてもよく、さらに予め焼結された誘電体を用いてもよい。

【0055】

【発明の効果】以上のように、本発明のLCフィルタ回路によれば、入出力端子の少なくともいずれか一方とLC共振器との間に、並列共振トラップ回路を直列接続したので、挿入損失を劣化させることなく、所望の周波数に必要な減衰量を確保することができる。

【0056】また、本発明の積層型LCフィルタによれば、LCフィルタ回路を1つのチップ部品で構成することにより、小型化が可能である。

【図面の簡単な説明】

【図1】 本発明に係るLCフィルタ回路の等価回路図である。

【図2】 図1のLCフィルタ回路の周波数特性を示す図である。

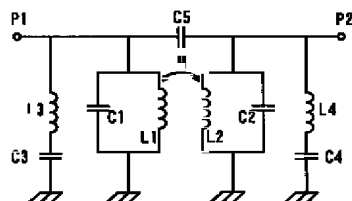
【図3】 図1のLCフィルタ回路を構成する積層型LCフィルタの実施形態を示す図であり、(a)は積層型LCフィルタの分解斜視図、(b)は積層型LCフィルタの外観斜視図である。

【図4】 従来のLCフィルタ回路の等価回路図である。

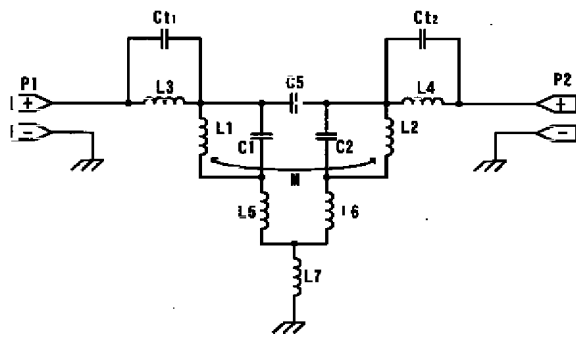
【符号の説明】

1~25 誘電体シート  
11 識別マーク  
31, 51, 52, 61, 62, 101, 102, 111, 112 インダクタ電極  
81, 82 シールド電極  
131, 132, 161, 162, 181, 182, 151, 152, 171, 172, 191, 192, 211, 212, 241, 242, 201 コンデンサ電極  
G<sub>1</sub>, G<sub>2</sub> グラウンド電極  
N<sub>1</sub>, N<sub>2</sub>, N<sub>3</sub>, N<sub>4</sub> 中継電極

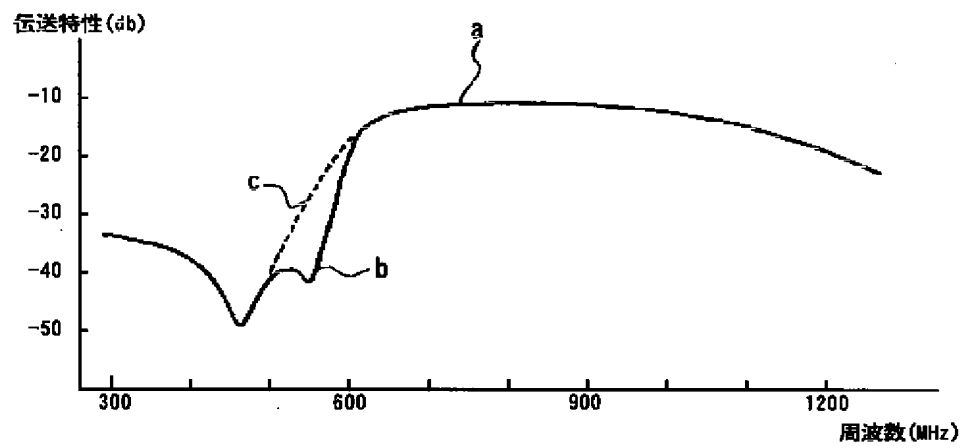
【図4】



【図1】



【図2】



【図3】

